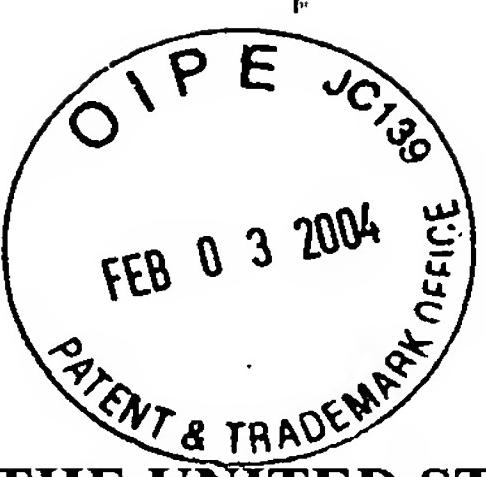


Patent



Customer No. 31561
Application No.: 10/605,215
Docket No. 10039-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Chen et al.
Application No. : 10/605,215
Filed : September 16, 2003
For : FLIP-CHIP SUBSTRATE AND FLIP-CHIP BONDING
PROCESS THEREOF
Examiner :
Art Unit : 2841

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

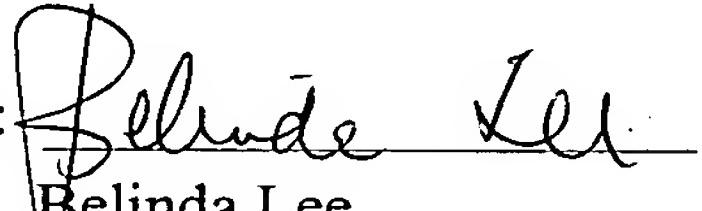
Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 091136481, filed on: 2002/12/18.

A return prepaid postcard is also included herewith.

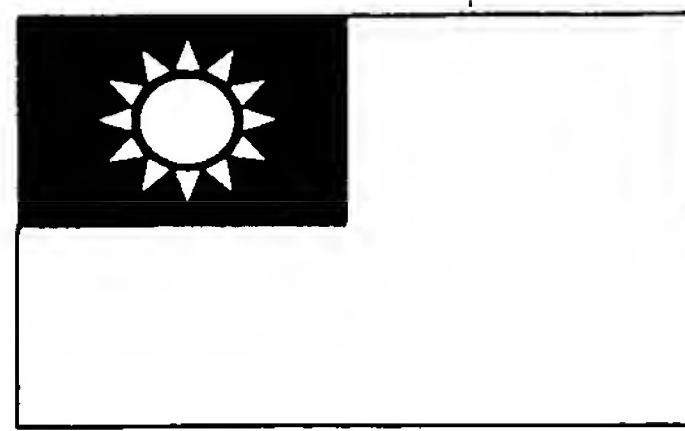
Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Jan. 30, 2004

By: 
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

**7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 12 月 18 日
Application Date

申請案號：091136481
Application No.

申請人：日月光半導體製造股份有限公司
Applicant(s)

局長

Director General

蔡榮生

發文日期：西元 2003 年 9 月 19 日
Issue Date

發文字號：09220944620
Serial No.

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

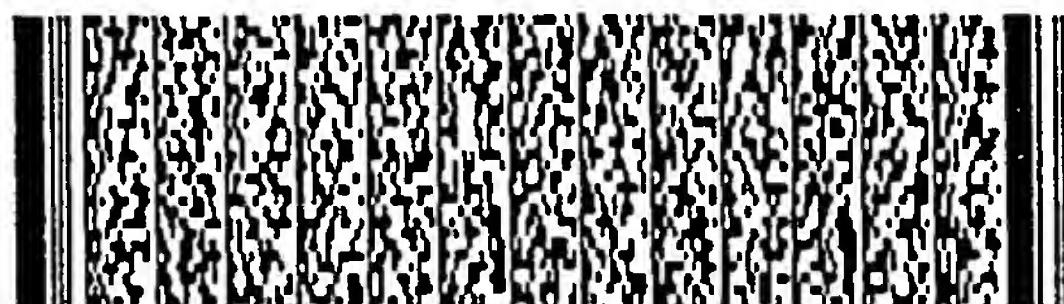
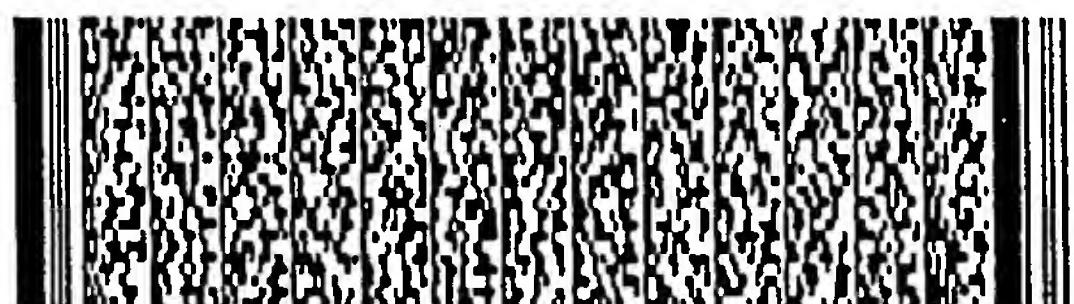
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	覆晶封裝基板及其覆晶接合製程
	英 文	FLIP-CHIP SUBSTRATE AND THE FLIP-CHIP BONDING PROSESS THEREOF
二、 發明人 (共3人)	姓 名 (中文)	1. 陳裕文 2. 何銘倫 3. 李俊洋
	姓 名 (英文)	1. Chen, Yu-Wen 2. Ho Ming-Lun 3. Lee , Chun-Yang
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 高雄市河堤路582-1號9樓 2. 高雄縣永安鄉保寧村保安路67-26號 3. 高雄市前鎮區凱旋四路280號6樓
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或 姓 名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 26, Chin 3rd. Rd., 811, Nantze Export Processing Zone, Kaochiung, Taiwan, R.O.C.
代表人 (中文)	1. 張虔生	
代表人 (英文)	1. Chien-Sheng Chang	



四、中文發明摘要 (發明名稱：覆晶封裝基板及其覆晶接合製程)

一種覆晶封裝基板，適於與一晶片接合，其中晶片具有一主動表面，且於主動表面上具有複數個晶片接點，晶片接點上係個別配置有複數個凸塊，於此覆晶封裝基板係具有對應晶片接點之複數個基板接點，其中於凸塊的熔點溫度時，這些晶片接點係對準對應之基板接點。

伍、(一)、本案代表圖為：第3圖

(二)、本案代表圖之元件代表符號簡單說明：

110：晶片

114、116、118：晶片接點

122：基板表面

134、136a、138a：基板接點

112：主動表面

120：基板

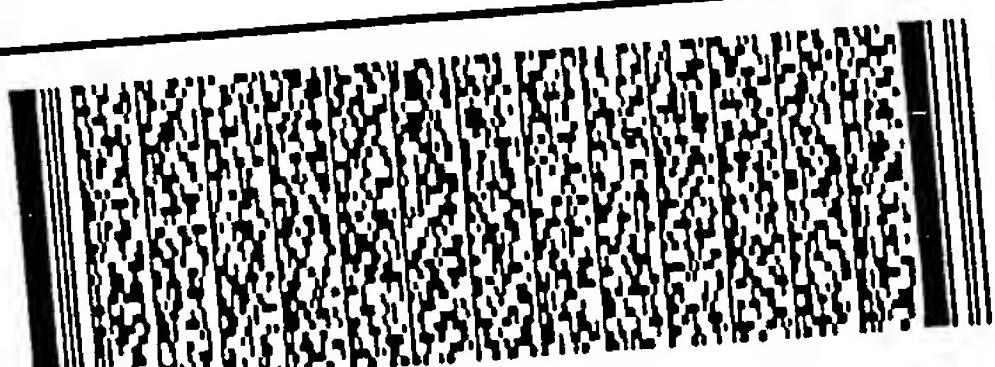
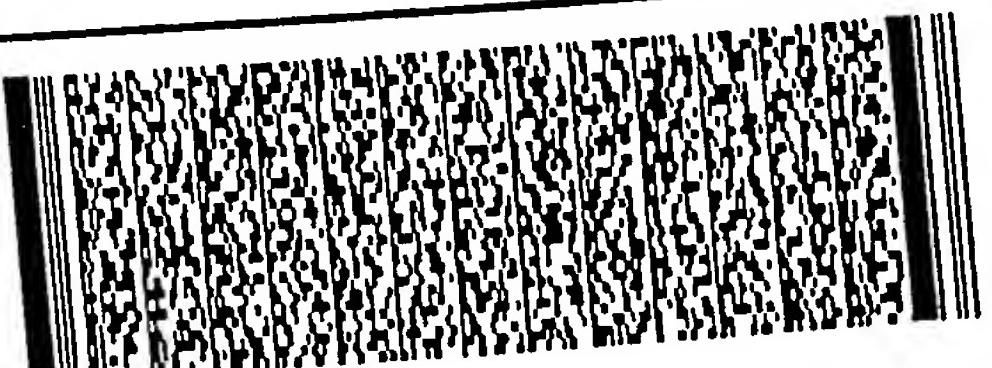
124、126a、128a：凹孔

144、146、148：凸塊

陸、英文發明摘要
PROSESS THEREOF)

(發明名稱：FLIP-CHIP SUBSTRATE AND THE FLIP-CHIP BONDING

A flip-chip substrate for bonding a chip with an active surface wherein pluralities of die pads and pluralities of bumps are disposed on the active surface. Pluralities of electrode pads corresponding to the die pads are disposed on the flip-chip substrate, wherein at the melting temperature of the bump, the die pads are aligned to the corresponding electrode pads.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

二、主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

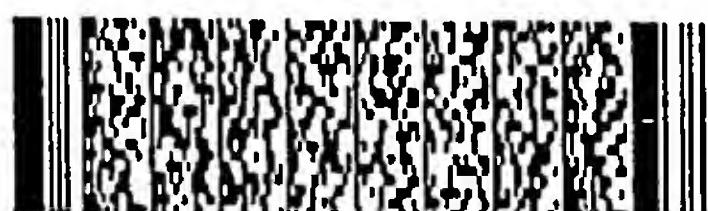
有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

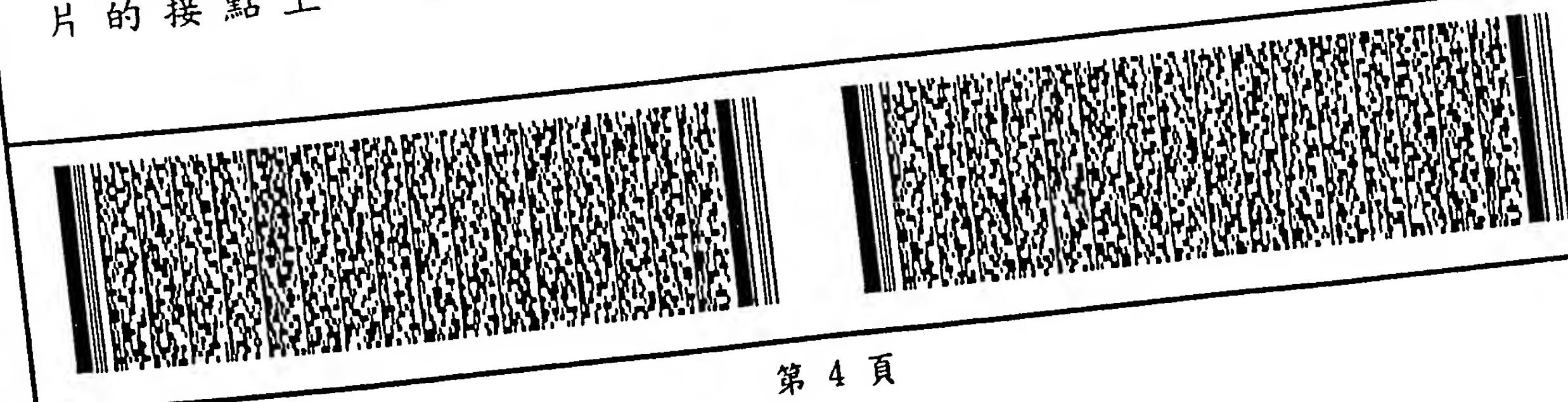
、發明說明 (1)
發明所屬之技術領域
本發明是有关於一種覆晶封裝基板，且特別是關於其
一種可以提高晶片與基板接合可靠度的覆晶封裝基板及
覆晶接合製程。

先前技術

覆晶接合製程
先前技術
在半導體產業中，積體電路(Integrated Circuits, IC)的生產，主要分為三個階段：裸晶片(die)的製造、積體電路(IC)的製作以及積體電路(IC)的封裝(Package)等。其中，裸晶片係經由晶圓(Wafer)製作、電路設計、光罩製作以及切割晶圓等步驟而完成，而每一顆由晶圓切割所形成的裸晶片，在經由裸晶片上之接點與外部訊號電性連接後，可再以封膠材料將裸晶片包覆著，其封裝之目的在於防止裸晶片受到濕氣、熱量、雜訊的影響，並提供裸晶片與外部電路之間電性連接的媒介，如此即完成積體電路的封裝(Package)步驟。

裸晶片與外部電路之封裝，是隨著積體電路之積集度的增加，晶片的封裝結構也是積裝面積及封裝面積的封裝。隨著積體電路之積集度的增加，晶片的封裝結構也是積裝面積及封裝面積的封裝。隨著積體電路之積集度的增加，晶片的封裝結構也是積裝面積及封裝面積的封裝。

晶片模組封裝(MU)的目的，均可以利用覆晶技術而達到封裝的目的。在習知的覆晶接合製程中，係先將多個凸塊製作在晶片的接點上，之後再以網板印刷的方式形成一焊料到基板



五、發明說明 (2)

的接點上，接著便翻覆晶片，使晶片上的凸塊對準焊料並使凸塊附著在焊料上，之後再進行迴焊的製程，使得焊料可以與凸塊結合而形成多個接合塊，透過凸塊與焊料所構成的接合塊可以使晶片固定在基板上，並使晶片與基板電性連接。

在習知的覆晶接合製程中，基板的設計方式皆為視晶片上之凸塊間距的大小，而基板的接點間距亦隨之設計為相同的大小，然而，對於晶片面積較大的覆晶結合製程而言，由於晶片與基板之熱膨脹係數的差異甚大，因而在晶片外圍的凸塊無法與基板上的對應接點良好的接合，使得凸塊產生與基板剝離的現象。或是接合時之結構形狀不佳，從而造成晶片與基板間的接合可靠度甚低，並進而造成信賴性測試的失敗。

發明內容

有鑑於此，本發明的目的是提出一種覆晶封裝基板及其覆晶接合製程，在凸塊的熔點溫度下，基板上的基板接點係能夠正對晶片上對應之凸塊(晶片接點)，以使晶片與基板能夠良好的接合，進而改善信賴性測試的良率。
為達本發明之上述目的，提出一種覆晶封裝基板，適於與一晶片接合，其中晶片具有一主動表面，且於主動表面上具有複數個晶片接點，晶片接點上係個別配置有複數個凸塊，於此覆晶封裝基板係具有對應晶片接點之複數個基板接點，其中於凸塊的熔點溫度時，這些晶片接點係對準對應之基板接點。

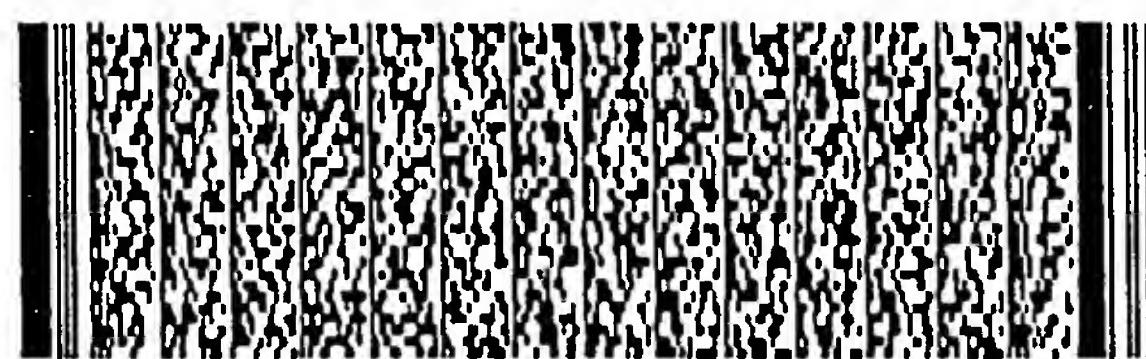
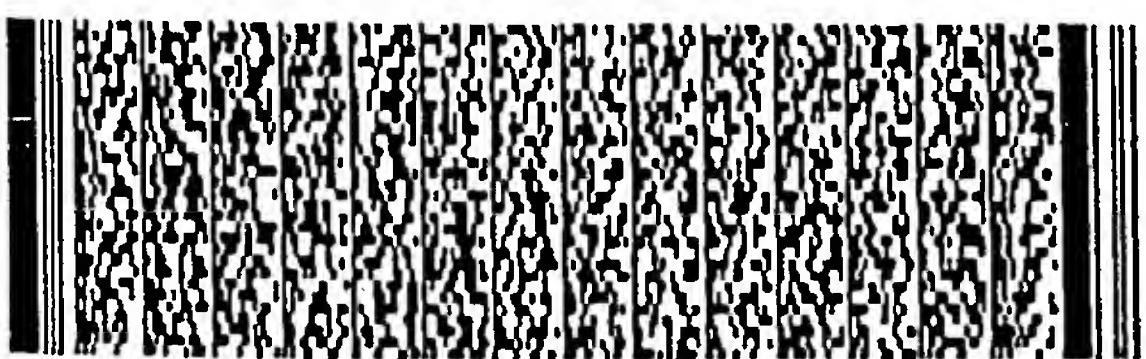


五、發明說明 (3)

本發明提出一種覆晶接合製程，適於接合一晶片與基板，其中晶片具有一主動表面，且於主動表面上具有複數個凸塊，並以其中之一凸塊作為第一對準點，基板係配置有第二對準點之凹孔作為第二對準點，將晶片配置於基板上，接著進行迴焊製程，以使凸塊與對應之凹孔結合，其中於迴焊製程中之一預定溫度，例如是凸塊的熔點溫度時，這些凹孔中之任意二凹孔係對準對應之任意二凸塊。

本發明提出一種晶片，適於與一基板接合，此基板配置有複數個凹孔，此晶片係具有對應凹孔之複數個晶片接點，其中晶片接點係配置於晶片之一主動表面上，且晶片接點上係個別配置有凸塊，其中於一預定溫度例如是凸塊的熔點溫度時，這些凸塊中之任意二凸塊係對準對應之任意二凹孔。

如上所述，由於本發明之覆晶封裝基板是藉由考慮到晶片與基板的熱膨脹係數差異，使得基板上的凹孔(基板接點)間的間距在常溫狀態下係設計為小於晶片上對應凸塊(晶片接點)間的間距，而在迴焊製程中，晶片與基板到達凸塊的熔點溫度時，基板上的凹孔與晶片的凸塊係為完全對準，因而能夠使得基板與晶片能夠良好的接合，以避免凸塊由於接合不佳而斷裂，進而提高晶片與基板接合的可靠度。



五、發明說明 (4)

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式：

第1圖至第4圖所繪示為使用本發明較佳實施例之一種覆晶封裝製程的剖面放大示意圖。請先參照第1圖，第1圖所繪示為本發明較佳實施例之覆晶封裝基板與晶片在常溫下的剖面示意圖。

於第1圖中，晶片110係具有一主動表面112，且晶片110還具有複數個晶片接點114、晶片接點116與晶片接點118，這些晶片接點均配置在晶片110之主動表面112上，然後在各個晶片接點114、116、118上，係形成有對應的凸塊144、凸塊146與凸塊148。於本發明較佳實施例中，晶片接點114、晶片接點116與晶片接點118與其上的凸塊144、凸塊146與凸塊148例如是以面陣列的方式排列，其中位於凸塊配置範圍中心的晶片接點114(凸塊144)係用以作為後續迴焊製程的膨脹基準點。

接著，請繼續參照第1圖，本發明較佳實施例的基板120係具有一基板表面122，而晶片110則適於配置在基板120上。基板120具有凹孔124、凹孔126與凹孔128，這些凹孔均配置在基板120之基板表面122上。並且基板120還具有基板接點134、基板接點136與基板接點138，透過凹孔124可以暴露出基板接點134，透過凹孔126可以暴露出基板接點136，並且透過凹孔128可以暴露出基板接點

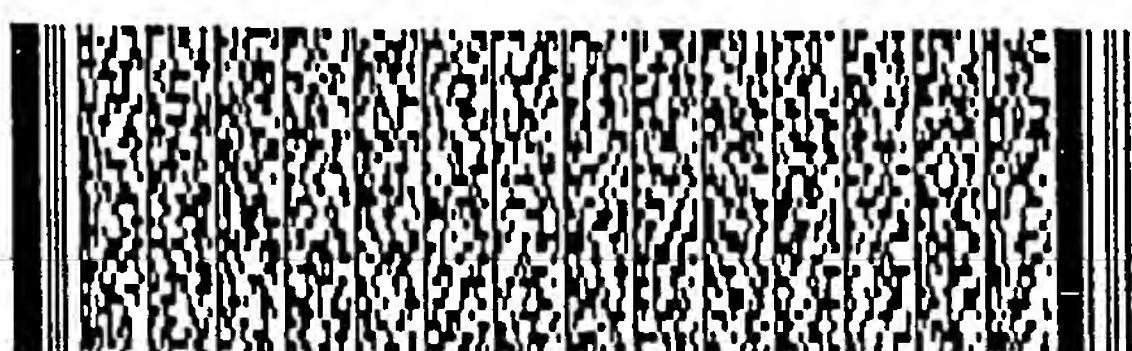


五、發明說明 (5)

138，並且，較佳為再形成焊料150到基板120之凹孔124}、凹孔126與凹孔128中，其中焊料150例如為膏狀的形式。於本發明較佳實施例中，凹孔124、凹孔126與凹孔128例如同樣是以面陣列的方式排列，其中位於凹孔配置範圍中心的晶片接點114(凸塊144)係用以作為後續迴焊製程的膨脹基準點。依此設定的話，在常溫的狀態下，當以基板120上之凹孔配置範圍中心的凹孔124作為膨脹基準點而對準於晶片110上的晶片接點114時，其餘的晶片接點116、晶片接點118與凹孔126、凹孔128則會處於未對準的狀態。

於本發明較佳實施例中，在常溫下將基板120上的兩凹孔之間距設定為小於晶片110上對應之兩凸塊間距的理由，係由於考慮到基板120的熱膨脹係數大於晶片110甚多，經由此設計的話，在晶片110與基板120加熱到一高溫，例如是凸塊144、凸塊146與凸塊148的熔點溫度時，則能夠使基板120上的凹孔124、凹孔126與凹孔128，膨脹至與晶片110上對應之凸塊144、凸塊146與凸塊148全部對準的正確位置。

接著，請參照第2圖，接下來係為翻轉晶片110，將晶片110上的晶片接點114對準基板120上的凹孔124，以使晶片110上的凸塊114、凸塊116與凸塊118與基板120上的凹孔124、凹孔126與凹孔128(焊料)接觸，再送入迴焊爐以進行迴焊的製程。如第2圖所示，由於晶片110與基板120之熱膨脹係數的差異，基板120上之任意二凹孔間的間距

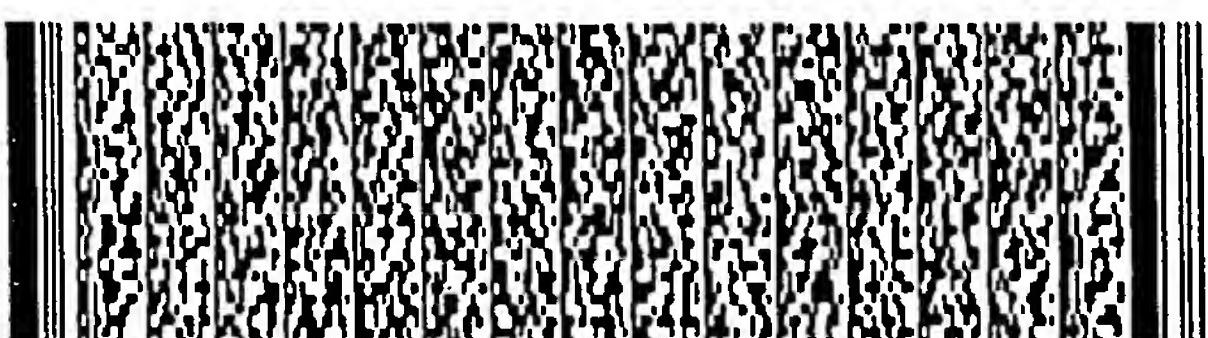


五、發明說明 (6)

係設定為小於晶片110上對應之任意二凸塊間的間距，再者，位於外圍之凹孔128與對應凸塊118間的距離，將會大於其內側之凹孔126與對應凸塊116間的距離。因此，除了作為膨脹基準點的凸塊144(晶片接點114)與凹孔124(基板接點134)之外，其他的凸塊與凹孔係處於未對準的狀態。尚且，對本發明較佳實施例而言，當晶片110與基板120互相接觸時，位於最外側的凸塊118與凹孔128尚保持部分接觸，因此，當本發明之晶片110與基板120於接合時係能夠採用一般所使用的接合製程。

接著，請參照第3圖，在進行迴焊的製程中，由於基板120的膨脹係數大於晶片110的膨脹係數，且晶片110的膨脹量與基板120相比甚小，故而能夠忽略晶片110的膨脹量不計，因此當到達凸塊144、凸塊146與凸塊148的熔點溫度時，基板120上的凹孔126(基板接點142)、凹孔128(基板接點144)係隨著基板120的熱膨脹而偏移至如圖所示之凹孔126a(基板接點142a)、凹孔128a(基板接點144a)的位置，而在此時凹孔126a係對準凸塊146，並且凹孔128a係對準凸塊148，而使得在凸塊的熔點溫度時，晶片110上的所有晶片接點係對準於基板120上的所有凹孔(基板接點)。

接著，於凸塊的熔點溫度，凸塊144係可以與基板120之凹孔124內的焊料150接合，以形成接合塊154，且凸塊146可以與基板120之凹孔126a內的焊料150接合，以形成接合塊156，並且凸塊148亦可以與基板120之凹孔128a內



五、發明說明 (7)

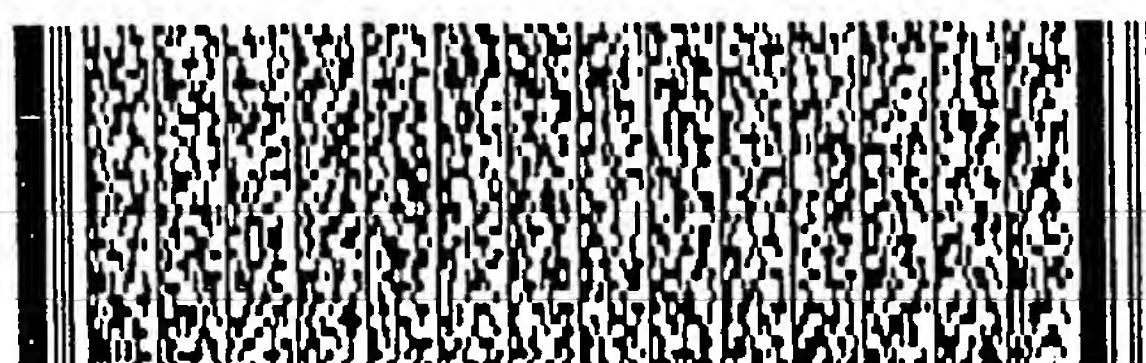
的焊料150接合，以形成接合塊158，在上述所有凸塊144、146、148與對應之凹孔124、126a、128a係為完全對準的狀態進行迴焊的話，所形成的接合塊將能夠具有良好的接合形狀，而形成如第4圖所示的覆晶封裝結構。

在本實施例中進行迴焊製程時，由於本發明之覆晶封裝基板120的設計，在凸塊144、凸塊146與凸塊148的熔點溫度時，且基板120係為線性膨脹的情況下，晶片100上之凸塊144、凸塊146與凸塊148係正對基板120上的凹孔124、凹孔126a與凹孔128a，因而得以補正習知由於基板120與晶片110之熱膨脹係數不同所造成之外圍晶片接點與基板接點之間距過遠的問題，以提高晶片110與基板120之接合的可靠度。

於前述較佳實施例中，係揭示一種覆晶封裝基板，並設計使覆晶封裝基板上的凹孔與晶片上對應的凸塊於凸塊的熔點溫度時為完全對準，然而，本發明亦可以揭示一種晶片，並設計使晶片上的凸塊與覆晶封裝基板上對應的凹孔於凸塊的熔點溫度時為完全對準。

而且，於前述本發明較佳實施例中，係忽略晶片110的熱膨脹量不計，而僅考慮覆晶封裝基板120的膨脹變化，然而本發明並非限定於此，本發明亦可以同時考慮到晶片110與覆晶封裝基板120的膨脹量，經由適當的設計後，使得在凸塊的熔點溫度時，基板120上的凹孔與晶片110上對應的凸塊係為完全對準。

並且，於前述的較佳實施例中，晶片接點(凸塊)與基



五、發明說明 (8)

板接點(凹孔)係揭示以面陣列排列，然而本發明並不限定於此，只要在凸塊的熔點溫度時，晶片110上的凸塊與基板120上對應之凹孔能完全對準，晶片接點(凸塊)與基板接點(凹孔)的排列係可以為任意形狀。

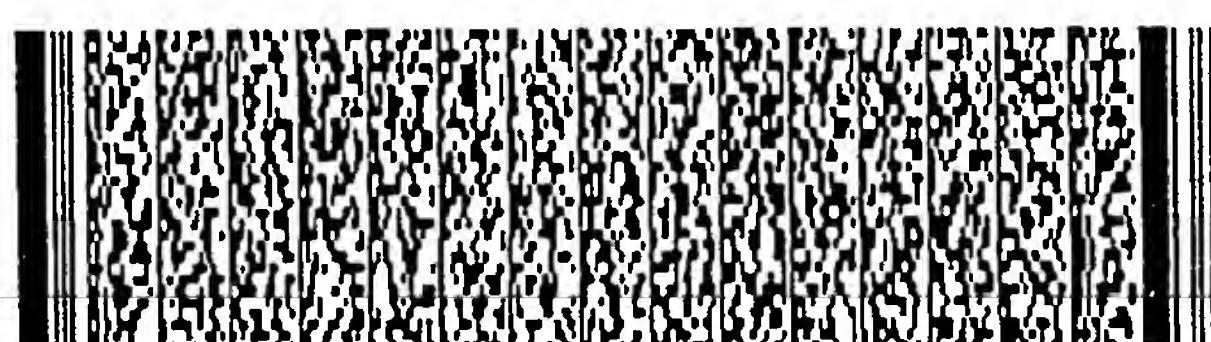
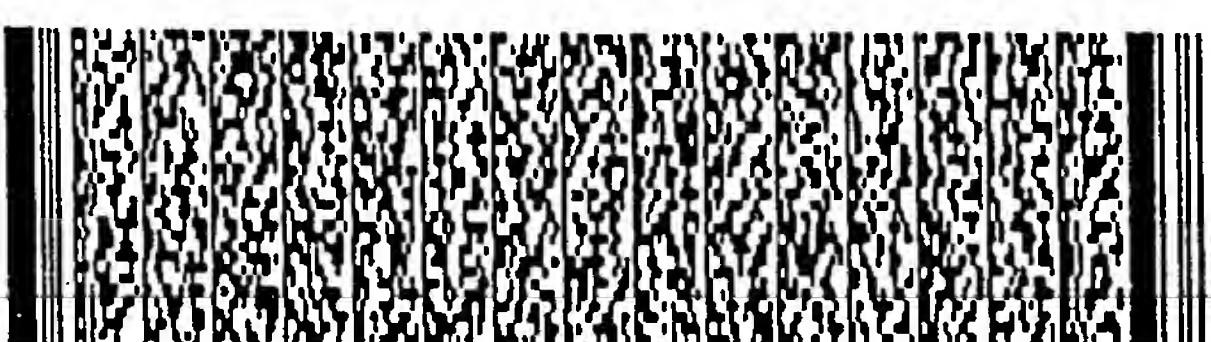
尚且，於前述本發明較佳實施例中，係使基板120上之凹孔與晶片110上對應之凸塊於凸塊的熔點溫度時為全部對準。然而，本發明並非僅限定於在熔點溫度時對準，於確保所形成的接合塊具有良好接合形狀的情形下，本發明之凹孔與對應之凸塊對準時的溫度可由熔點溫度作適當的延伸。

再者，在前述的較佳實施例中，凸塊與凹孔於凸塊熔點溫度緊配合地接合係應用在以晶片與基板為承載器的結構之間，然而本發明的應用並不限於此，凸塊與凹孔緊配合地接合結構亦可以應用在以二晶片為承載器的結構之間，或者亦可以應用在以二基板為承載器的結構之間。

綜上所述，本發明至少具有下列的優點：

1. 本發明之覆晶封裝基板，是藉由考慮到晶片與基板的熱膨脹係數差異，因此在基板的設計上，使得在迴焊製程中晶片與基板到達凸塊的熔點溫度時，基板上的凹孔(基板接點)與晶片的晶片接點係為完全對準，因而能夠使得晶片與基板之接點在接合時為正確對準。

2. 本發明之覆晶封裝基板，由於晶片與基板於接合時係位於完全對準的狀態，使得此覆晶封裝結構能夠保持良好的凸塊結合狀態而增加其凸塊接合的可靠度，從而使得



五、發明說明 (9)

此覆晶封裝結構於信賴性測試例如是溫度循環測試時，能夠避免凸塊由於接合不佳而斷裂。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖至第4圖所繪示為使用本發明較佳實施例之一種
覆晶封裝製程的剖面放大示意圖。

圖式標示說明：

110：晶片

112：主動表面

114、116、118：晶片接點

120：基板

122：基板表面

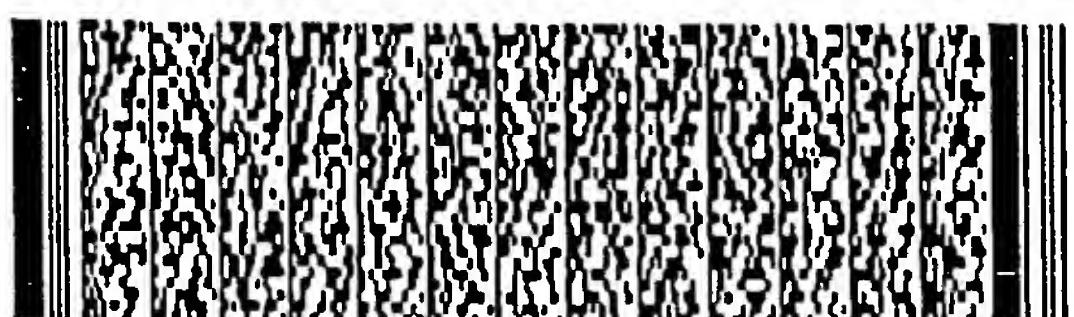
124、126、126a、128、128a：凹孔

134、136、136a、138、138a：基板接點

144、146、148：凸塊

150：焊料

154、156、158：接合塊



六、申請專利範圍

1. 一種覆晶封裝基板，適於與一晶片接合，其中該晶片具有一主動表面，且於該主動表面上具有複數個晶片接點，該些晶片接點上係個別配置有複數個凸塊，該基板包括：

於該基板配置有對應該些凸塊之複數個凹孔，其中於該凸塊之熔點溫度時，該些凹孔中之任意二凹孔係對準對應之任意二凸塊。

2. 如申請專利範圍第1項所述的覆晶封裝基板，其中該基板之熱膨脹係數大於該晶片之熱膨脹係數。

3. 如申請專利範圍第2項所述的覆晶封裝基板，其中於一常溫時，該些凸塊中之任意二凸塊之間距係大於對應之二凹孔之間距。

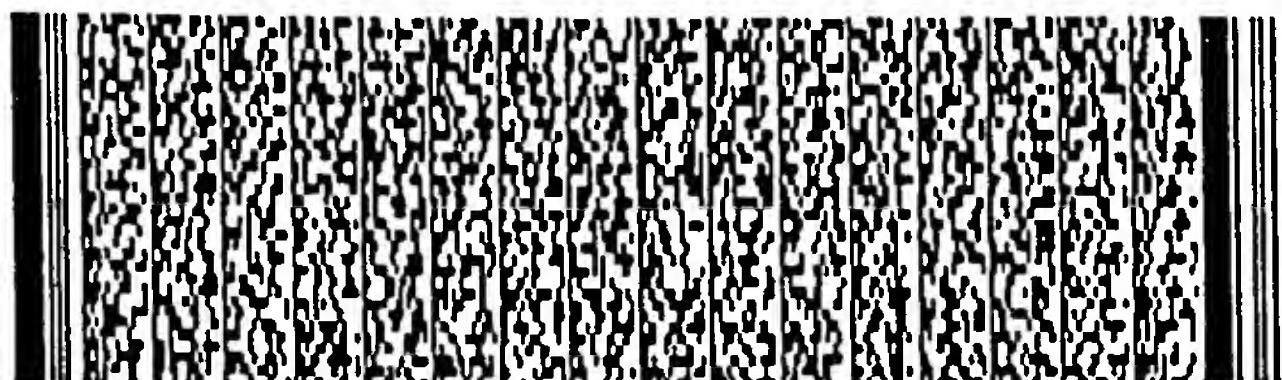
4. 如申請專利範圍第1項所述的覆晶封裝基板，其中該些凹孔係呈面陣列排列。

5. 如申請專利範圍第1項所述的覆晶封裝基板，其中該些凸塊係呈面陣列排列。

6. 如申請專利範圍第1項所述的覆晶封裝基板，其中該些凹孔之中之一凹孔係作為一第一膨脹基準點，該些凸塊之中之一凸塊係作為一第二膨脹基準點，並且該基板上之該第一膨脹基準點係對準該晶片之該第二膨脹基準點。

7. 如申請專利範圍第1項所述的覆晶封裝基板，其中該第一膨脹基準點係設置於該些凹孔所構成範圍之中心。

8. 如申請專利範圍第1項所述的覆晶封裝基板，其中



六、申請專利範圍

該第二膨脹基準點係設置於該些凸塊所構成範圍之中心。

9. 如申請專利範圍第1項所述的覆晶封裝基板，其中該基板具有複數個基板接點，且該基板之該些凹孔暴露出該些基板接點。

10. 一種覆晶接合製程，適於接合一晶片與一基板，其中該晶片具有一主動表面，且於主動表面上具有複數個晶片接點，該些晶片接點上係個別配置有複數個凸塊，並以其中之一凸塊作為一第一膨脹基準點，該基板係配置有對應該些凸塊之複數個凹孔，並以其中之一凹孔作為一第二膨脹基準點，該覆晶接合製程包括：

以該晶片之該第一膨脹基準點對準該基板之該第二膨脹基準點，將該晶片配置於該基板上；以及

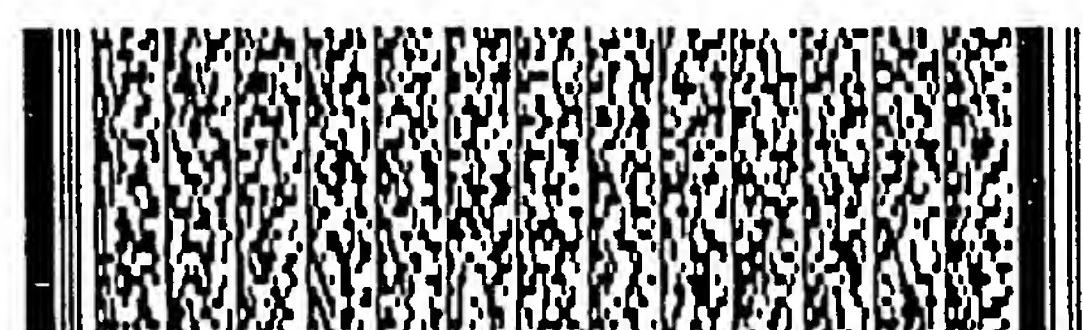
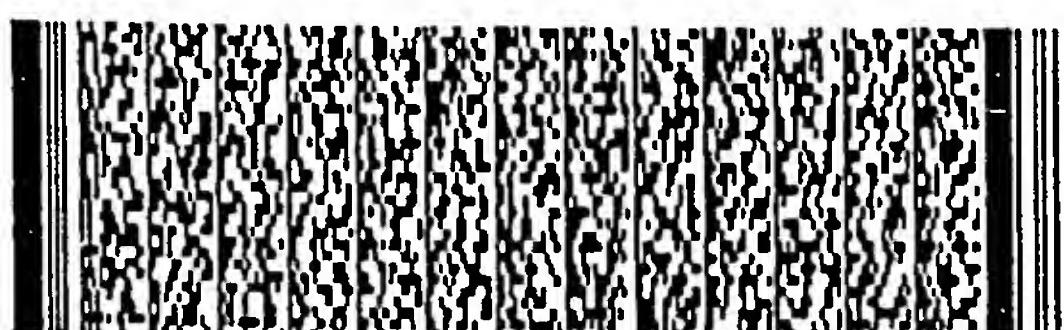
進行一迴焊製程，以使該些凸塊與對應之該些凹孔結合，其中於該迴焊製程中之凸塊之熔點溫度時，該些凹孔中之任意二凹孔係對準對應之任意二凸塊。

11. 如申請專利範圍第10項所述的覆晶接合製程，其中該基板之熱膨脹係數大於該晶片之熱膨脹係數。

12. 如申請專利範圍第11項所述的覆晶接合製程，其中於一常溫時，該些凸塊中之任意二凸塊之間距係大於對應之二凹孔之間距。

13. 如申請專利範圍第10項所述的覆晶接合製程，其中該第一膨脹基準點係設置於該些凹孔所構成範圍之中心。

14. 如申請專利範圍第10項所述的覆晶接合製程，其



六、申請專利範圍

中該第二膨脹基準點係設置於該些凸塊所構成範圍之中心。

15. 一種晶片，適於與一基板接合，該基板配置有複數個凹孔，該晶片包括：

複數個晶片接點，其中該些晶片接點係配置於該晶片之一主動表面上，且該些晶片接點上係個別配置有複數個凸塊，其中於該凸塊之熔點溫度時，該些凸塊中之任意二凸塊係對準對應之任意二凹孔。

16. 如申請專利範圍第15項所述的晶片，其中該基板之熱膨脹係數大於該晶片之熱膨脹係數。

17. 如申請專利範圍第16項所述的晶片，其中於一常溫時，該些凸塊中之任意二凸塊之間距係大於對應之二凹孔之間距。

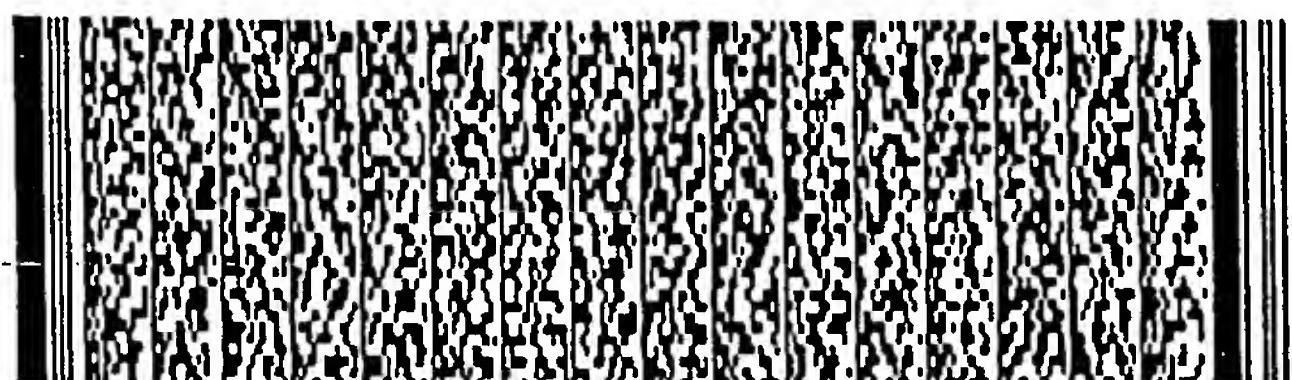
18. 如申請專利範圍第15項所述的晶片，其中該些凹孔係呈面陣列排列。

19. 如申請專利範圍第15項所述的晶片，其中該些凸塊係呈面陣列排列。

20. 如申請專利範圍第15項所述的晶片，其中該些凹孔之其中之一凹孔係作為一第一膨脹基準點，該些凸塊之其中之一凸塊係作為一第二膨脹基準點，並且該基板上之該第一膨脹基準點係對準該晶片之該第二膨脹基準點。

21. 如申請專利範圍第15項所述的晶片，其中該第一膨脹基準點係設置於該些凹孔所構成範圍之中心。

22. 如申請專利範圍第15項所述的晶片，其中該第二

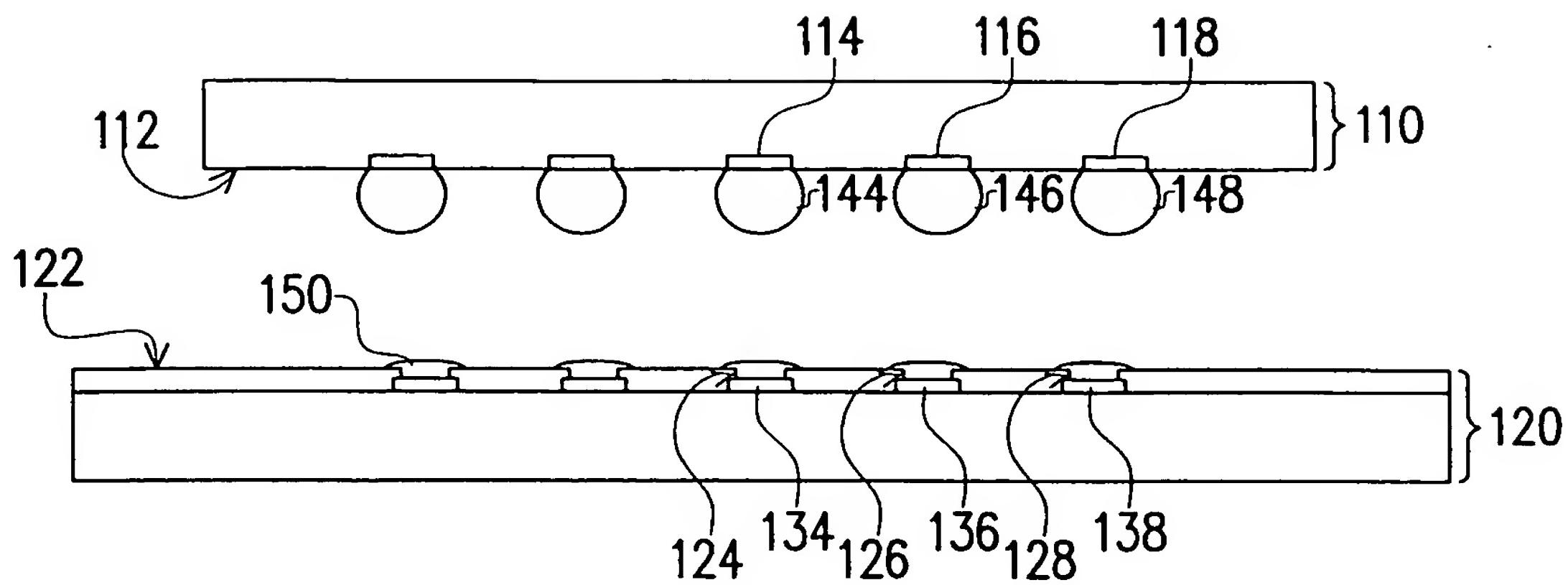


六、申請專利範圍

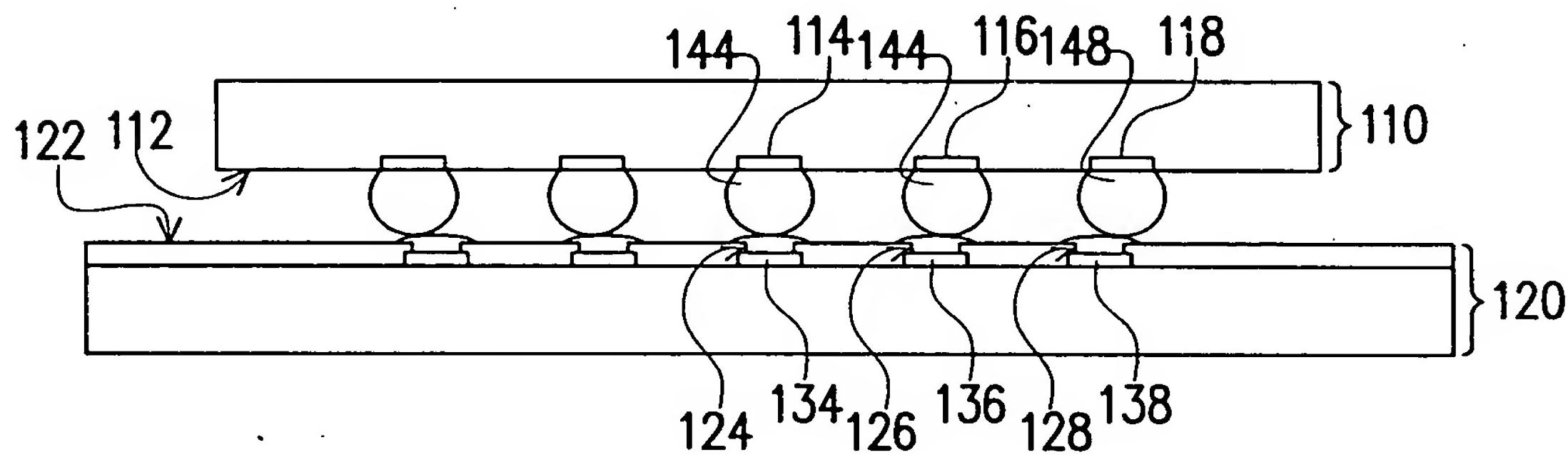
膨脹基準點係設置於該些凸塊所構成範圍之中心。

23. 如申請專利範圍第15項所述的晶片，其中該基板具有複數個基板接點，且該基板之該些凹孔暴露出該些基板接點。

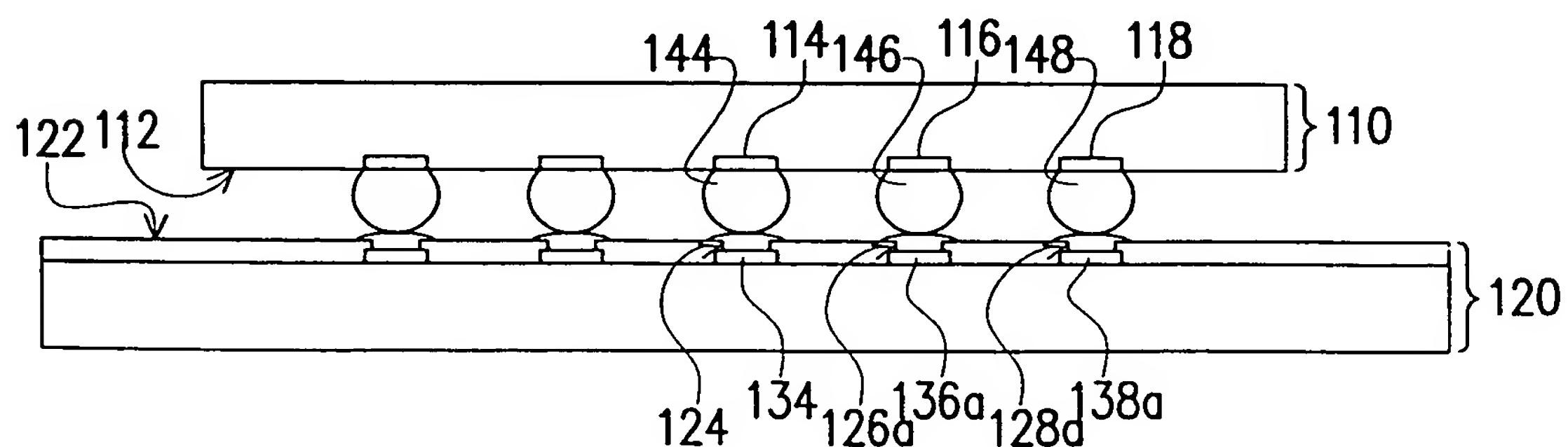




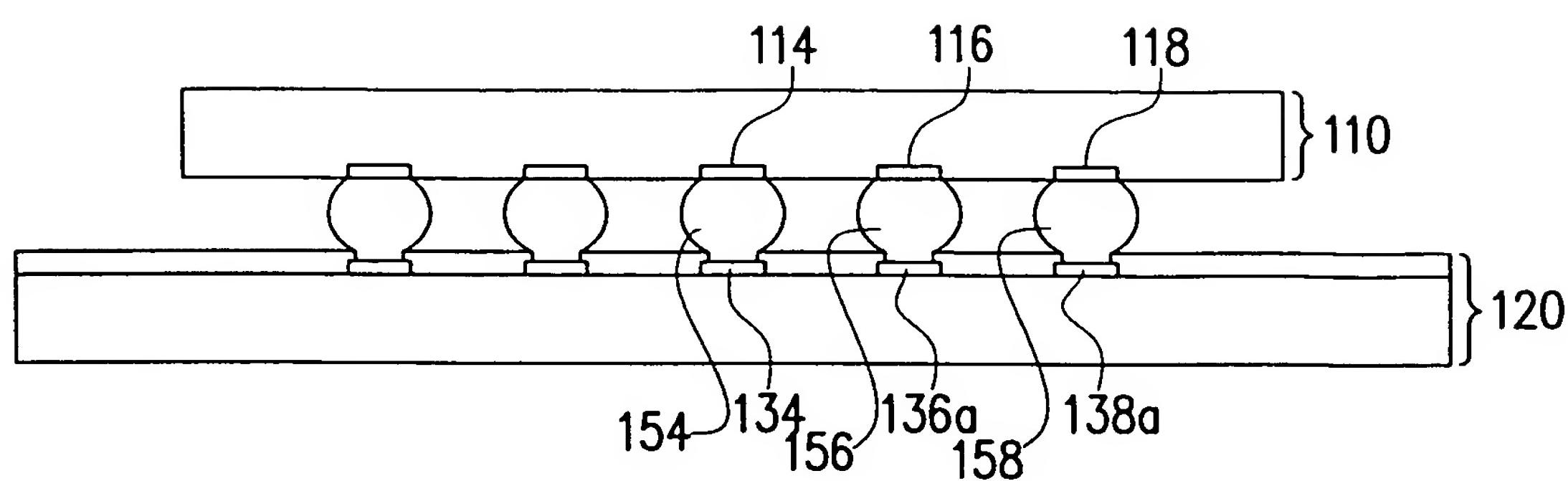
第 1 圖



第 2 圖

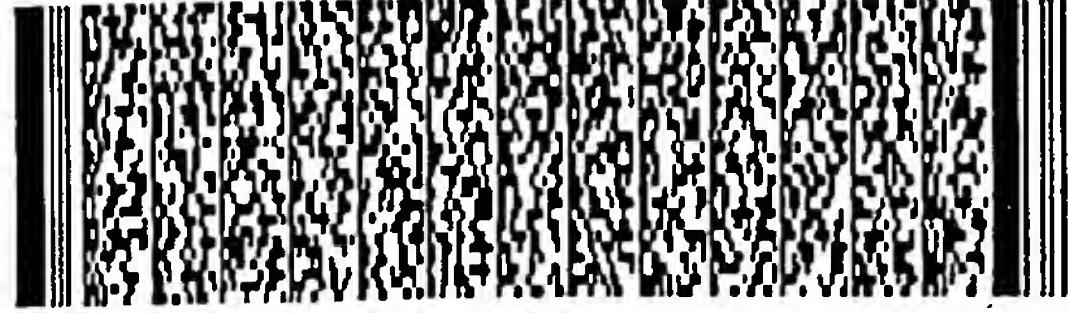


第 3 圖

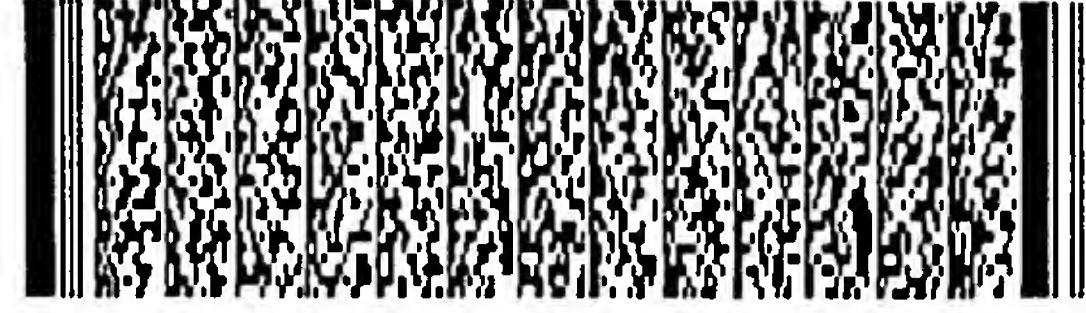


第 4 圖

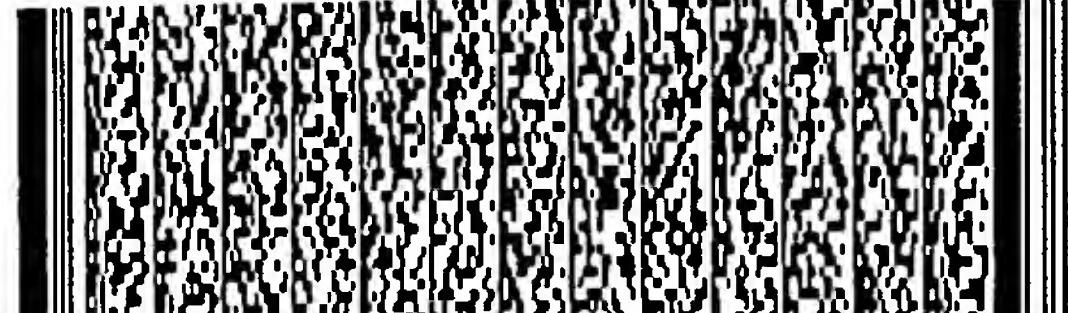
第 1/17 頁



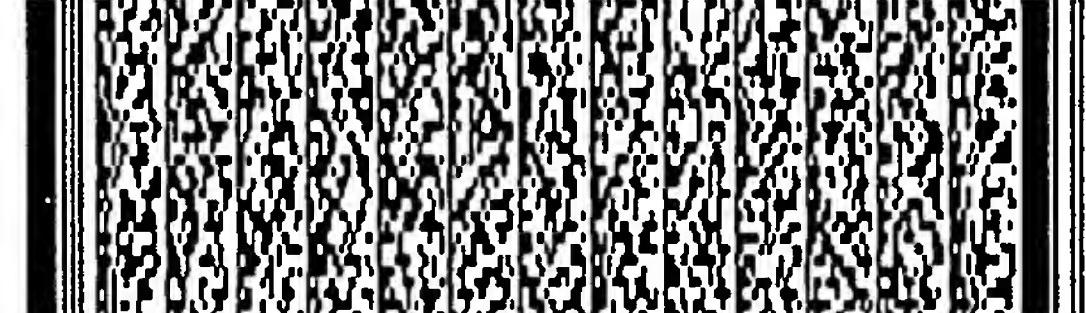
第 1/17 頁



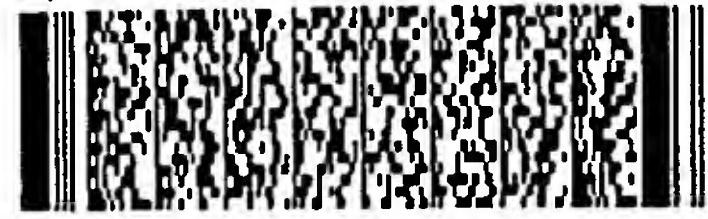
第 2/17 頁



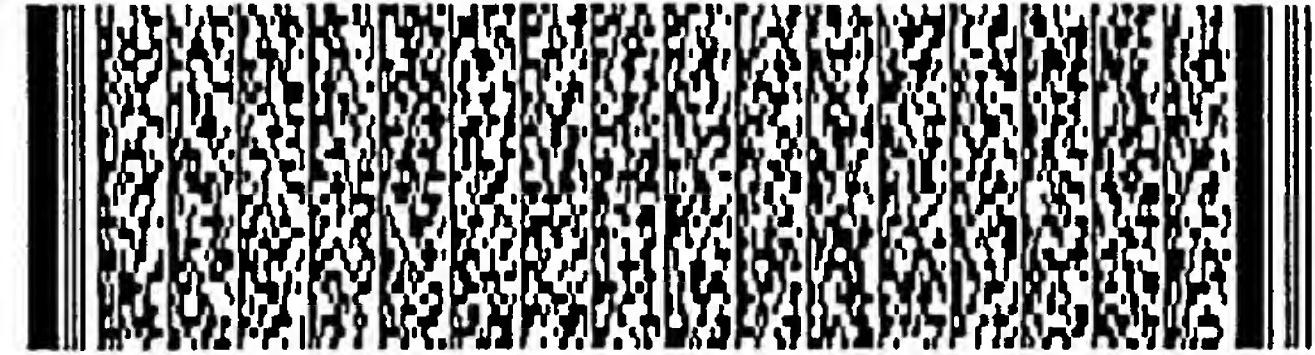
第 2/17 頁



第 3/17 頁



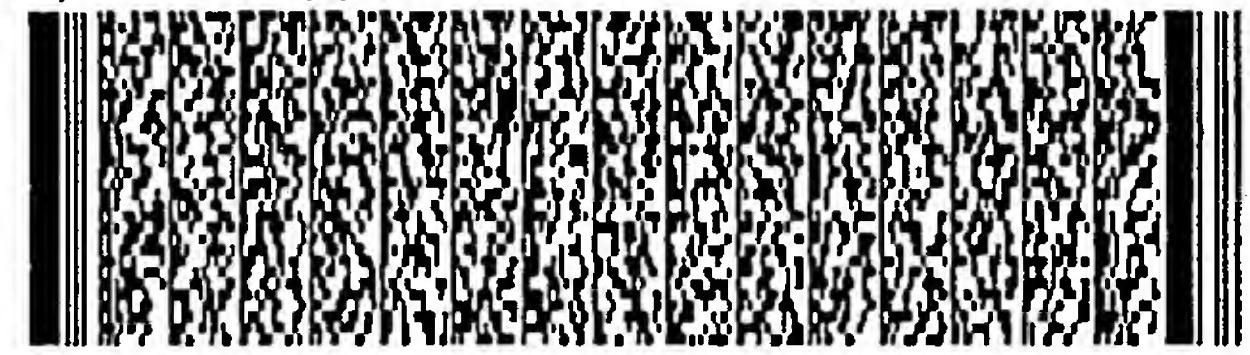
第 4/17 頁



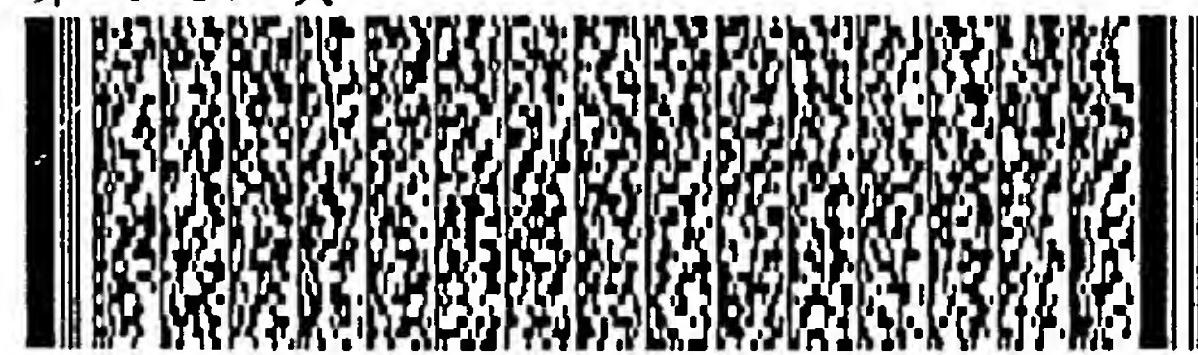
第 4/17 頁



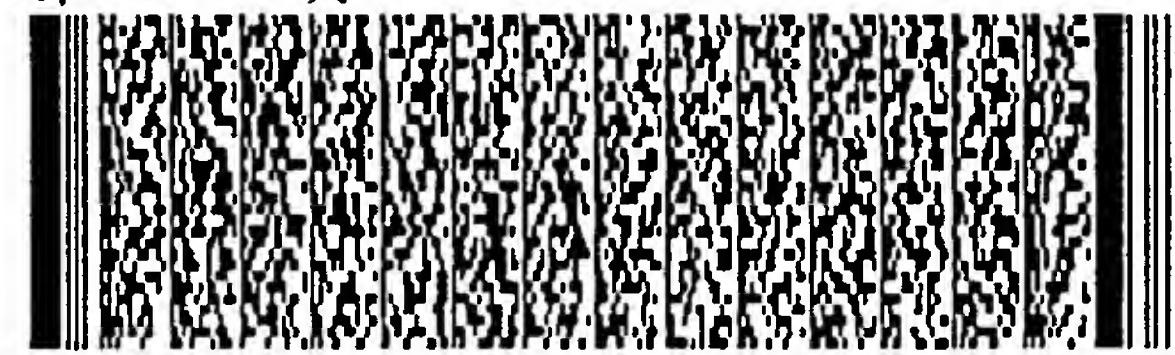
第 5/17 頁



第 5/17 頁



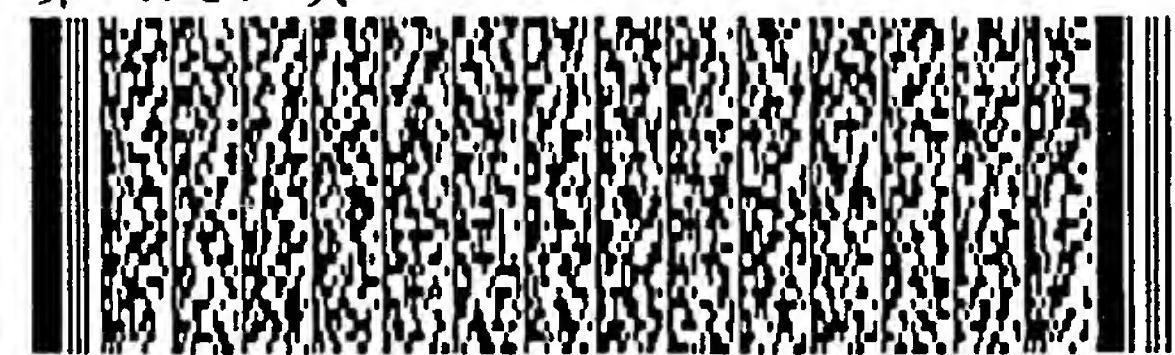
第 6/17 頁



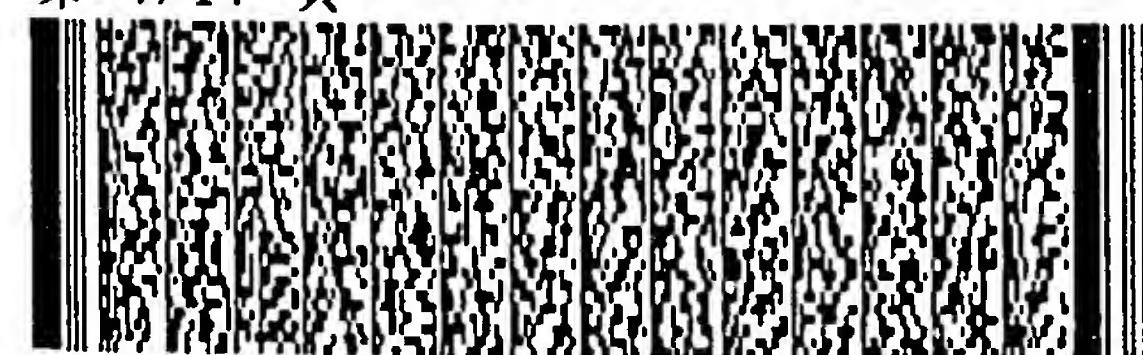
第 6/17 頁



第 7/17 頁



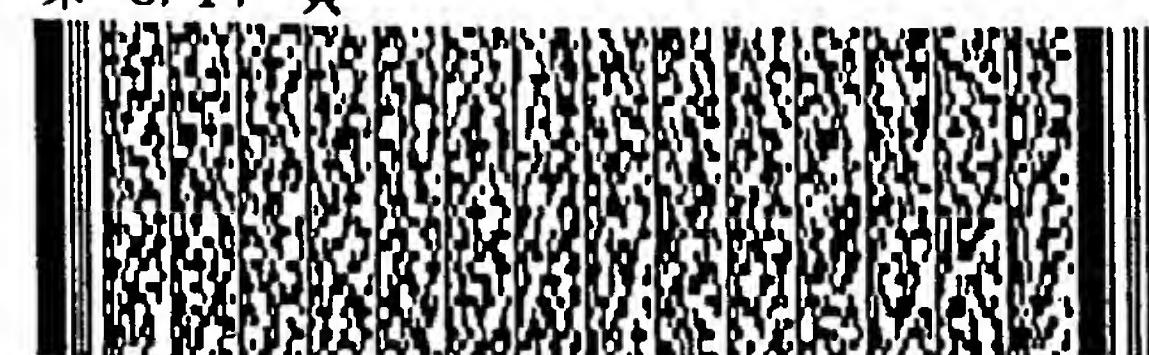
第 7/17 頁



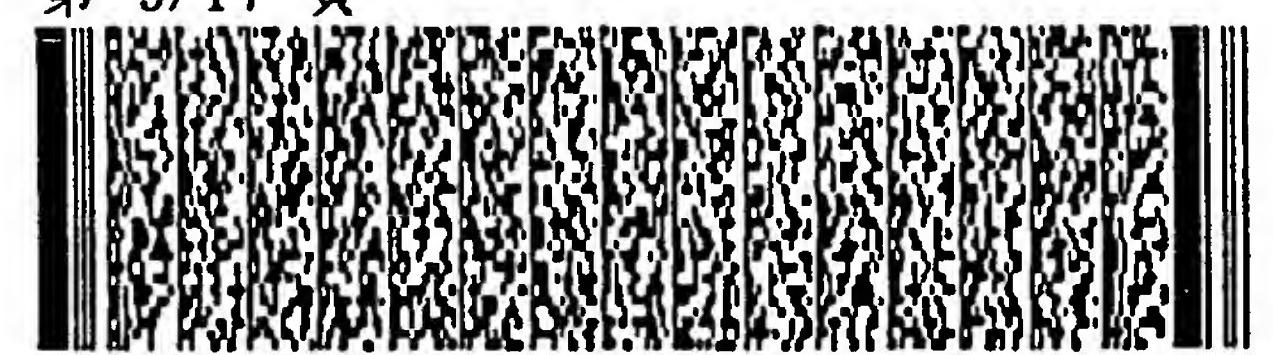
第 8/17 頁



第 8/17 頁

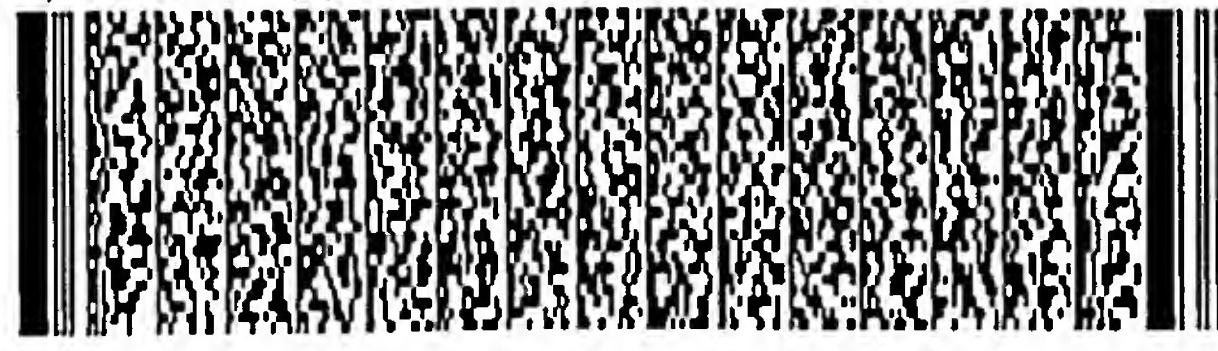


第 9/17 頁

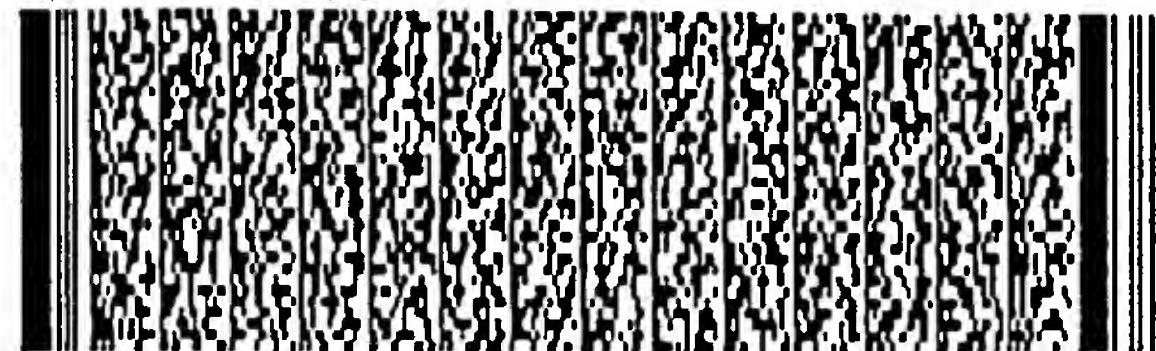


申請案件名稱：覆晶封裝基板及其覆晶接合製程

第 9/17 頁



第 10/17 頁



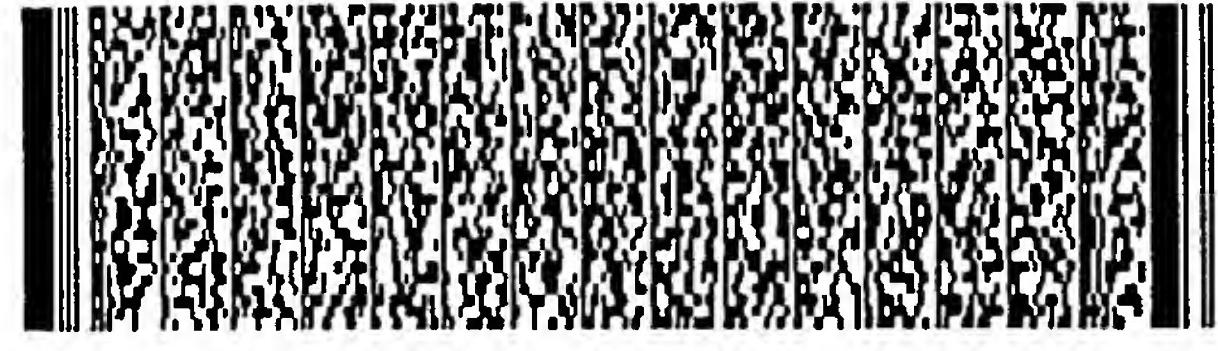
第 10/17 頁



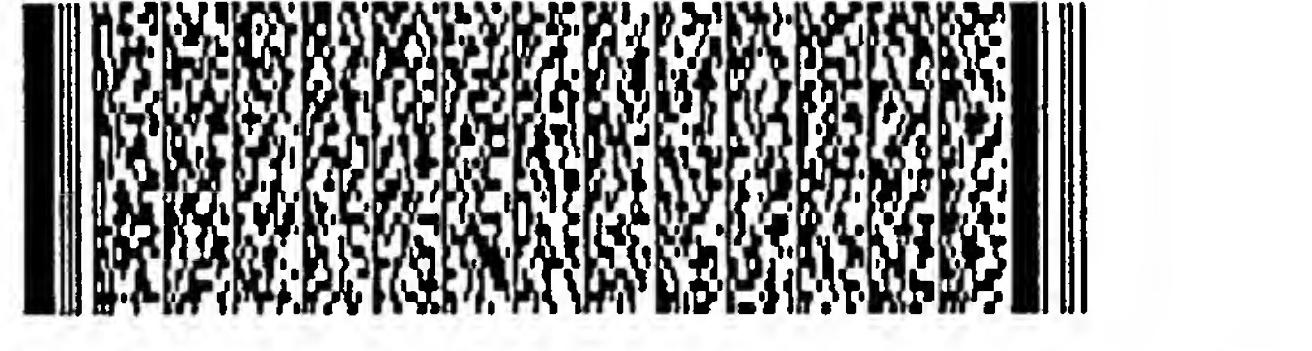
第 11/17 頁



第 11/17 頁



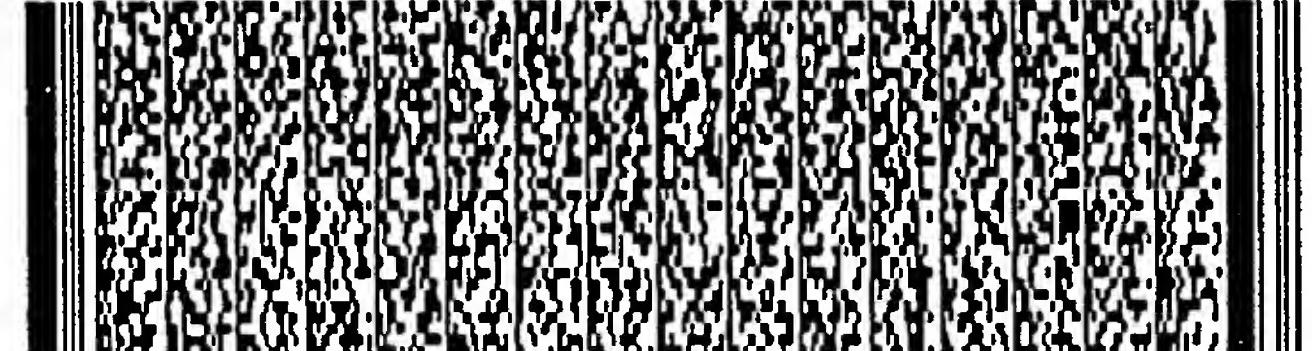
第 12/17 頁



第 13/17 頁



第 14/17 頁



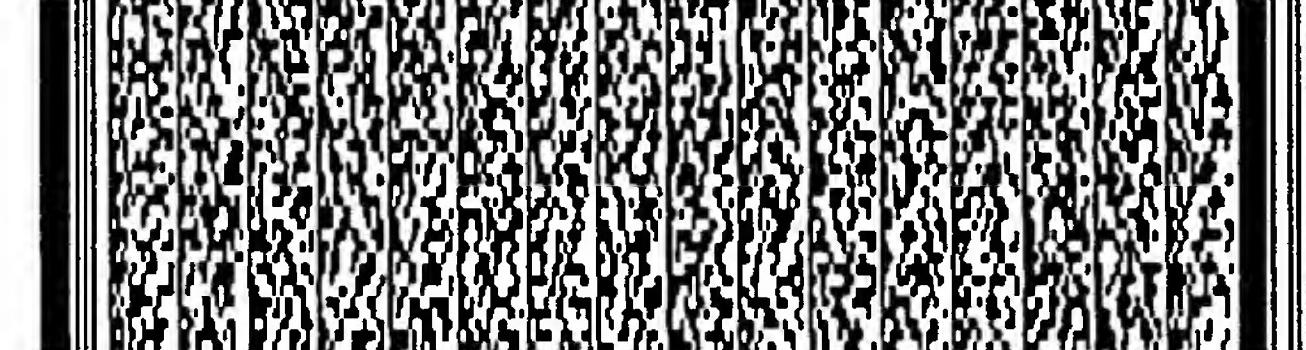
第 15/17 頁



第 15/17 頁



第 16/17 頁



第 17/17 頁

